

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-228341

(43)Date of publication of application : 15.08.2000

(51)Int.Cl.

H01L 21/02
H01L 21/027
H01L 21/66
H01L 27/04
H01L 21/822

(21)Application number : 11-029975

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.02.1999

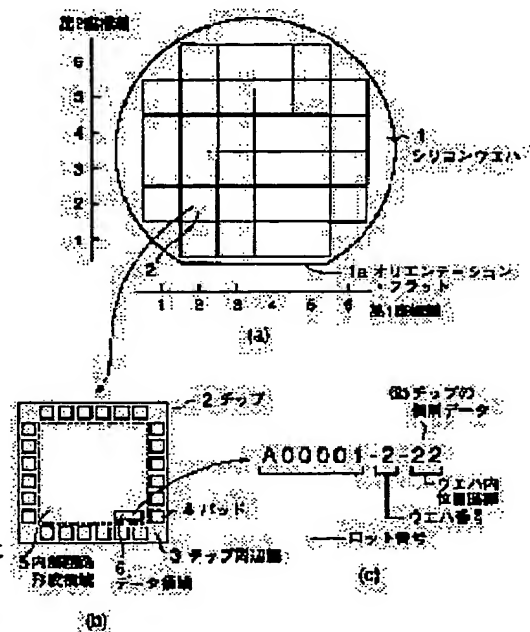
(72)Inventor : SHIOASHI YOSHIHISA
FUJIMOTO TAKUYA

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit, capable of directly writing individual management information and test information of chips, that is obtained in a manufacturing step for all the chips, and reading the information in the event of a breakdown after assembling steps, so that basic data for analyzing breakdown can be obtained.

SOLUTION: In an exposure step for a semiconductor integrated circuit, individual management information such as a lot number, a wafer number, coordinates in the wafer is written to the surface or the back of each chip by pattern formation using an aligner. Or a laser is disposed on a die sort tester, and test information such as a test item and a test result of the disort tester as well as the individual management information is written to the surface or the back of each chip by using a laser beam. Or these information is written from an input terminal of a programmable ROM(PROM) disposed together with a mask read only memory(ROM) in a large semiconductor integrated circuit, such as a microprocessor. This arrangement enables dramatic improvement of the tracing ability on the individual chips to analyze breakdown.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-228341
(P2000-228341A)

(43) 公開日 平成12年8月15日 (2000.8.15)

(51) Int.Cl.

識別記号

F I

テーマト (参考)

H 0 1 L 21/02
21/027
21/66
27/04
21/822

H 0 1 L 21/02
21/66
21/30
27/04

A 4 M 1 0 6
B 5 F 0 3 8
5 1 4 F 5 F 0 4 6
T

審査請求 未請求 請求項の数7 O L (全 8 頁)

(21) 出願番号

特願平11-29975

(22) 出願日

平成11年2月8日 (1999.2.8)

(71) 出願人

000003078

株式会社京芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者

垣足 慶久

神奈川県川崎市幸区堀川町580番1号 株式会社京芝半導体システム技術センター内

(72) 発明者

藤本 卓也

神奈川県川崎市幸区堀川町580番1号 株式会社京芝半導体システム技術センター内

(74) 代理人

100058479

弁理士 鈴江 武彦 (外6名)

最終頁に続く

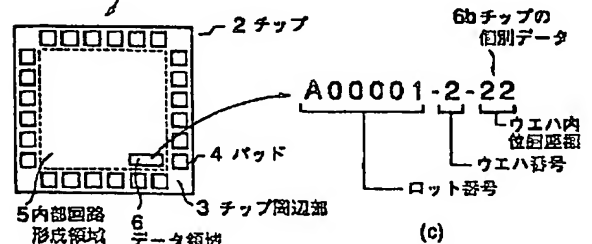
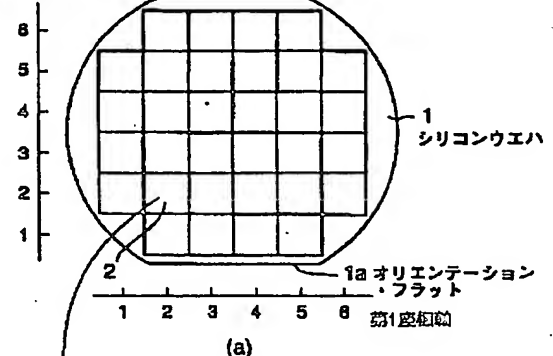
(54) 【発明の名称】 半導体集積回路

(57) 【要約】

【課題】 製造工程中におけるチップの個別管理情報とテスト情報を全てのチップに直接書き込み、組み立て工程後の故障発生に際してこれを読み取り、故障解析の基礎データとすることが可能な半導体集積回路を提供する。

【解決手段】 半導体集積回路の露光工程で、各チップの表面又は裏面にロット番号、ウエハ番号、ウエハ内位置座標等の個別管理情報を露光装置を用いてパターン形成することにより書き込むか、ダイソート・テストにレーザを装着し各チップの表面又は裏面に前記個別管理情報のほかダイソート・テストのテスト項目やテスト結果等のテスト情報をレーザ・ビームを用いて書き込むか、又はマイクロプロセッサ等の大規模半導体集積回路において、マスクROMと混載したPROMの入力端子からこれらの情報を書き込むことにより、故障解析におけるチップ個別のトレーサビリティを飛躍的に向上させることが可能になる。

第2図(c)



【特許請求の範囲】

【請求項1】 少なくとも、半導体チップの製造工程途中における個別管理情報、及び、テスト情報のいずれか1つが、前記半導体チップ上に付与されることを特徴とする半導体集積回路。

【請求項2】 少なくとも、半導体チップの製造工程途中における個別管理情報、及び、テスト情報のいずれか1つが、前記半導体チップの裏面に付与されることを特徴とする半導体集積回路。

【請求項3】 少なくとも、半導体チップの製造工程途中における個別管理情報、及び、テスト情報のいずれか1つが、レーザにより前記半導体チップに書き込まれることを特徴とする半導体集積回路。

【請求項4】 少なくとも、半導体チップの製造工程途中における個別管理情報、及び、テスト情報のいずれか1つが、露光装置により半導体チップにパターン形成されることを特徴とする半導体集積回路。

【請求項5】 少なくとも、半導体チップの製造工程途中における個別管理情報、及び、テスト情報のいずれか1つが、半導体チップ上に形成された書き換え可能な不揮発性メモリに記録されることを特徴とする半導体集積回路。

【請求項6】 前記半導体チップの製造工程途中における個別管理情報は、少なくとも、前記半導体チップの製造ロット番号と、ウエハ番号と、ウエハ内位置座標とのいずれか1つを含むことを特徴とする請求項1乃至5のいずれか1つに記載の半導体集積回路。

【請求項7】 前記半導体チップの製造工程途中におけるテスト情報は、少なくとも、前記半導体チップのテスト項目と、テスト結果とのいずれか1つを含むことを特徴とする請求項1乃至5のいずれか1つに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に係り、特に、半導体チップの製造工程中における個別管理情報と、テスト情報とを半導体チップごとに識別することが可能な半導体集積回路に関するものである。

【0002】

【従来の技術】従来の半導体集積回路には、製品型名、試作名称、マスク名称、ROMコード名、製造業者名等を露光マスク上にパターン形成し、半導体チップ（以下単にチップと呼ぶ）上にこれらの名称を転写したものである。ここで、ROMコード名とは、マイクロプロセッサ等からなる半導体集積回路において、半導体チップ上のROM（Read Only Memoryの略称）に書き込まれたユーザ・プログラム（通常ファーム・ウェアと呼ばれる）のコード名をいう。

【0003】製品型名、及びROMコード名が付与された、従来のチップの一例を図5に示す。図5に示すチ

ップ2は、チップ周辺部3に形成された複数のボンディング・パッド4と、内部回路形成領域5とから構成される。また、内部回路形成領域5の空きスペース14と15に、当該チップの製品型名TMP××××と、ROMコード名0010が書き込まれる。

【0004】このように、従来チップ上に書き込まれる製品型名、又はROMコード名等は、品種ごとに全て同一の名称を書き込めばよいので、当該チップのマスク作成の際、チップの空きスペースに前記名称をパターン形成しておけば、そのマスクを用いた半導体チップには、容易に全て同一の名称を付与することができる。

【0005】このように、従来、チップ上に付与される情報は、社名、型名等の単なる名称のみであって、例えばチップのロット番号、ウエハ番号、ウエハ内ショット位置（以下ウエハ内位置座標と呼ぶ）等のような製造工程におけるチップの個別管理情報をチップに直接付与する試みは全くなされていなかった。

【0006】さらに、従来半導体集積回路の製造工程において、チップ上に搭載された集積回路やプロセスTEG（Test Element Groupの略称）の各種テスト情報をチップに直接付与する試みも全くなされていなかった。

【0007】ここで、プロセスTEGとは、集積回路を構成する単体トランジスタ、抵抗、配線の接続部や部分回路等をウエハ周辺部、又はチップ上の空きスペースに形成し、その特性を製造工程中にモニタすることにより、不良ロット発生の際、不良原因追及に役立てるための中間テスト用の要素素子をいう。

【0008】従来これらの工程管理情報やテスト情報は、温度、圧力等のプロセス条件に関する情報と共に外部の記録媒体に記録され、不良ロットの発生や使用現場における半導体集積回路の故障が発見された場合に、製造工程にさかのぼって不良や故障発生の原因を追及するための基礎データとして用いられてきた。

【0009】このとき、故障を生じた半導体集積回路のパッケージや、その中に組み込まれた個別のチップには、社名、型名等のほか、高々、組み立てロット番号がパッケージに印字される程度であり、例えば出荷試験や使用現場における故障のように、組み立て工程後に発生した故障の原因を追及しようとしても、組み立てロット番号を手掛かりとして工程管理情報やテスト情報を検索するしか方法がないのが実情であった。

【0010】しかし、一般に半導体集積回路の製造工程において、ウエハ工程におけるロット構成と、ウエハ・ダイシング（ウエハをチップに分離する工程）後の組み立て工程におけるロット構成とは異なり、例えば組み立て工程における1ロットが、ウエハ工程における数ロットから構成される場合も多く見受けられる。

【0011】従って、半導体装置の製造工程で得られた工程管理情報やテスト情報は、主として製造現場のある工程で一時的に生じたロット不良の原因追及等、製造ロ

ットが特定できる場合には有効であったが、組み立て工程以降における出荷試験や使用現場での故障発生に対しては、ウエハ工程におけるロット管理データや関連するテストデータと、故障チップとの間の一義的な対応関係が失われるため、故障発生の原因を十分に追及することができず、いわゆるトレーサビリティに欠けることが問題となっていた。

【0012】また、ウエハ工程におけるロット構成と組み立て工程におけるロット構成との間に完全な対応関係が存在する場合でも、チップ個別の識別情報として、例えばウエハ内におけるチップの位置座標が不明であるため、当該故障チップが、本来工程不良を生じやすいウエハ周辺部に存在したのか、あるいは、良品となるべきウエハの中央部に存在したかにより故障対策が大きく異なる。

【0013】近年、半導体集積回路の微細化に伴う各種製造工程の複雑化、プロセス条件設定の高精度化により、同一製造ロット内であっても、ウエハごと、チップごとに半導体集積回路の特性差が大きくなることを考慮すれば、従来、チップに付与されてきた社名、型名等のほか、高々、組み立てロット番号がパッケージに印字される程度の管理情報では、製造現場における不良発生や使用現場での故障発生の原因追及の立場から極めて不十分といわざるを得ないのが現状であった。

【0014】

【発明が解決しようとする課題】上記したように、従来半導体集積回路のチップ個別に付与される管理情報は、組み立て工程以降に生じた故障原因を追及するには、極めて不十分であるという問題があった。

【0015】本発明は上記の問題点を解決すべくなされたもので、製造工程中におけるチップの個別管理情報とテスト情報とを直接全てのチップに付与し、故障発生後これを読み出し、適切な故障対策をとることが可能な半導体集積回路を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明の半導体集積回路は、チップの表面又は裏面にロット番号、ウエハ番号、ウエハ内における位置座標等の当該チップに関する製造上の個別管理情報、又は、プロセスTEGや半導体集積回路に対する製造工程中におけるテスト項目とテスト結果等のテスト情報、又は、これらの組み合わせ情報をチップごとに書き込むことにより、故障原因の追及を容易にすることに特徴がある。

【0017】具体的には、本発明の半導体集積回路は、少なくとも、チップの製造工程途中における個別管理情報、及び、テスト情報のいずれか1つが、前記チップに付与されることを特徴とする。また、少なくとも、チップの製造工程途中における個別管理情報、及び、テスト情報のいずれか1つが、前記チップの裏面に付与されることを特徴とする。

【0018】また、これらの情報が、レーザによりチップに書き込まれることを特徴とする。また、これらの情報が、露光装置によりチップにパターン形成されることを特徴とする。また、これらの情報が、チップ上に形成された書き換え可能な不揮発性メモリ（以下PROM; Programmable Read Only Memoryと略称する）に記録されることを特徴とする。

【0019】好ましくは、前記チップの製造工程途中における個別管理情報は、少なくとも、前記チップの製造ロット番号と、ウエハ番号と、ウエハ内位置座標とのいずれか1つを含むことを特徴とする。

【0020】また、好ましくは、前記チップの製造工程途中におけるテスト情報は、少なくとも、前記チップのテスト項目と、テスト結果とのいずれか1つを含むことを特徴とする。

【0021】このように、これらチップの個別管理情報やテスト情報は、露光装置を用いて半導体集積回路の露光の際にチップに蝕刻するか、半導体集積回路のウエハテストの際に、テスト装置を用いてレーザ等によりチップ上に書き込むか、又は、パッケージ封止後に外部端子からチップ上に形成されたPROMの一部に記録するか等のいずれかの手段、又はその組み合わせによりチップ個別に付与される。本発明により、ウエハ・ダイシング後におけるチップ個別のトレーサビリティが飛躍的に向上する。

【0022】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、本発明の第1の実施の形態に係る半導体集積回路のチップ構造を示す平面図である。図1(a)にウエハ・ダイシング前のシリコンウエハ1が示されている。

【0023】シリコンウエハ1の上には、リソグラフィ工程を用いて半導体集積回路のチップ2が縦横に規則的に形成される。なお、チップ2は、後工程においてチップ間のダイシング・ラインに沿って切断され、方形の個別のチップに分離される。

【0024】ここで、チップ2のウエハ内位置座標は、図1(a)のように定義される。通常チップのパターン形成は、シリコンウエハ1の面内における結晶軸方向の1つを示すオリエンテーション・フラット1aと、これに垂直な方向に沿って行われるので、第1座標軸をオリエンテーション・フラット1aと平行に、第2座標軸をウエハ面内でこれと垂直な方向に定め、これを用いて図1(a)に示すようにチップの位置座標を定める。

【0025】例えば、図1(a)に示すチップ2の場合には、ウエハ内位置座標は(2, 2)のように与えられる。ウエハ内位置座標の与え方は必ずしもこれに限定されるものではなく、第1、第2の座標軸の原点はチップの配列に応じてシリコンウエハ1の中心とすることもできる。

【0026】図1(b)にウエハ・ダイシング後のチップ2の拡大図が示されている。図1(b)に示すチップ2は、大別してチップ周辺部3に形成された複数のボンディング・パッド4と、内部回路形成領域5から構成され、内部回路5の空きスペースに配置されたデータ領域6に、当該チップの製造工程における個別管理情報として、図1(c)に示すロット番号と、ウエハ番号と、ウエハ内位置座標が、例えばA00001-2-22のように書き込まれる。

【0027】このように、チップの個別管理情報を全てのチップにそれぞれ付与することにより、ウエハ・ダイシング後におけるチップ個別のトレーサビリティを飛躍的に向上させることができる。

【0028】次に、図2を用いて、本発明の第2の実施の形態について説明する。従来、チップ上に書き込まれる製品型名等は、品種ごとに全て同一の名称を書き込まばよいので、当該チップのパターン形成の際、同時に内部回路の空きスペースに前記名称等をパターン形成すれば、容易に全てのチップに同一の名称を付与することができた。

【0029】しかし、先に第1の実施の形態で説明したように、本発明ではウエハ内位置座標のように、チップごとに異なる個別管理情報をデータ領域6に書き込まなければならない。ここで、従来、名称等が書き込まれていた内部回路の空きスペースを特にデータ領域6と呼ぶ理由は、本発明においては、前記ウエハ内位置座標のほか、名称等に比べて情報量が極めて大きいチップの個別管理情報やテスト情報がこの領域に記録されるためである。

【0030】図2は、第2の実施の形態における半導体集積回路のパターン形成方法を示す概念図である。この例では、配線層形成工程において、プロジェクション露光装置によりチップごとに異なる識別番号等が露光される。

【0031】図2(a)に示すプロジェクション露光装置は、光源7と、第1レンズ8と、レチクル9と、第2レンズ10と、レジスト塗布シリコンウエハ11から構成される。

【0032】ここで、レチクルとは、拡大された1チップの回路パターン、又は、複数チップの回路パターンを形成した拡大マスクであり、ステップ・アンド・リピート型のプロジェクション露光装置では、レチクル9を固定し、レジスト塗布シリコンウエハ11をレチクル上の回路パターンに合わせてX-Y方向に周期的に移動し、1ショットずつ露光することにより、シリコンウエハ全面にレチクルと同一の回路パターンが繰り返し形成される。

【0033】一方、走査型プロジェクション露光装置では、シリコンウエハ全面の全てのチップの回路パターンがあらかじめマスク上に形成された拡大マスクを用意

し、レチクル9の代わりに前記拡大マスクを用いて、この拡大マスクとシリコンウエハとを同期してX-Y方向に移動させ、1ショットずつ露光することにより、シリコンウエハ全面に回路パターンが形成される。

【0034】第2の実施の形態のプロジェクション露光装置では、前記露光装置に走査型の機能を付与し、かつ、全てのチップの回路パターンが形成された拡大マスクを用いる代わりに、図2(b)の特殊なレチクル9を用いることに特徴がある。

【0035】第2の実施の形態においては、配線層の露光工程で識別番号等が引き続き露光されるので、図2

(b)に示すレチクル9は、1個のチップの配線パターン2aと、先に図1(c)で説明したロット番号、ウエハ番号及びウエハ内位置座標の全ての可能な組み合わせが書き込まれた、チップの個別データ6bの集合からなるデータ群12のパターンとから構成される。ここで、チップの配線パターン2a中のデータ領域6aはマスク上の遮光膜で被覆され、この領域がチップの配線パターン2aの形成時に露光されないようにする。

【0036】はじめに、図2(a)に示すように、レチクル9を第1のX-Yテーブルに載置した後、第1のX-Yテーブルを制御して、図2(b)に示すレチクル上のチップの配線パターン2aの中心が露光装置の光軸と一致するよう調整する。

【0037】また、露光装置の露光範囲を定めるアパーチャ(図示せず)を制御してデータ群12を遮光し、前記チップの配線パターン2aのみが、第2のX-Yテーブルに載置したレジスト塗布シリコンウエハ11上に転写されるようにする。なお、このとき、シリコンウエハ11の上面は、配線層形成用の金属膜で被覆されている。

【0038】このように位置決めされたレチクル9を固定し、レジスト塗布シリコンウエハ11が載置された第2のX-Yテーブルをステップ状に移動させ、1ショットずつ露光することにより、ウエハ全面にチップの配線パターンを形成する。このとき、全てのチップ2のデータ領域6を覆うレジスト膜は、データ領域6aがマスク上の遮光膜で覆われているので露光されずに塗布後の状態が保たれる。

【0039】次に、個別データを書き込むチップのウエハ内位置座標をアドレスとして、第1のテーブルをプログラム制御し、当該チップに対応する個別データ6bを選択し、その中心が露光装置の光軸と一致するよう調整する。

【0040】また、露光範囲を定めるアパーチャを制御して、書き込みチップに対応する個別データ6b以外の領域を遮光し、当該チップの個別データ6bのみが、第2のX-Yテーブルに載置した、レジスト塗布シリコンウエハ11上のデータ領域6に転写されるようにする。

【0041】このように、第1のX-Yテーブルをプロ

グラム制御することで、対応するチップの個別データを検索しながら、レチクル9とウエハ11とを同期させて移動し、1ショットずつ露光すれば、全てのチップのデータ領域6に各チップの個別データ6bを書き込むことができる。

【0042】引き続き通常のフォト工程における現像処理を行えば、配線材料の金属膜により、チップの配線パターンと同時にデータ領域6に当該チップの個別データ6bがパターン形成される。

【0043】次に、図3を用いて、本発明の第3の実施の形態について説明する。図3(a)に示すように、シリコンウエハ1に対して、図1(a)と同様な位置座標が付与される。図3(b)に示すチップ2のデータ領域13には、図3(c)に示すように、チップの個別管理情報やテスト情報が符号化され、レーザ・ビームを照射することにより所定のアドレスにスポット状に書き込まれる。

【0044】図3(c)において、例えば縦に数字の1乃至10(図では0と記している)、又はアルファベットのA乃至Jを対応させ、先にのべたロット番号、ウエハ番号、及びウエハ内位置座標A00001-2-22が、レーザ・ビームを用いてデータ領域13にスポット状に符号化され書き込まれる。

【0045】このように、管理上のルールを適切に定めておけば、数字とアルファベットを共通のスポットで表示しても支障を生じないようにすることができる。特に支障がある場合には両者を区別すればよい。

【0046】第3の実施の形態は、ダイソート・テストによるテスト結果をテスト情報として、データ領域13に書き込むのに適している。ここで、ダイソート・テストとは、集積回路の回路パターンが形成されたシリコンウエハ1をX-Yテーブルに固定し、さらに図3(b)に示すようにZ方向の移動を与えて、マルチプローバの先端部をチップのボンディング・パッドに接触させ、シリコンウエハ1をチップごとにステップ状に移動させることにより、チップ上に形成された集積回路又はTEGの特性を短時間で評価することができるテスト装置である。

【0047】通常ダイソート・テストにおいて不良が発見されれば、不良チップに自動的にマーキングが施され、個別のチップに分離した後このマーキングに基づき良品チップが選別され組み立てロットが構成される。

【0048】第3の実施の形態では、上記ダイソート・テストの動作時に、図3(b)に示すマルチプローバの上部にレーザヘッド固定し(図示せず)、テスト・データがレーザ・ビームによりデータ領域13に書き込まれる。

【0049】すなわち、マルチプローバを用いてシリコンウエハ1の全てのチップを測定した後、マルチプローバの先端部をボンディング・パッドから離し、ウエハ内位

置座標と共にダイソート・テストに記録された測定データを付属のコンピュータで符号化し、プログラム制御により当該チップに対応するデータ領域13の選択と、データ領域13におけるビーム・スポットのアドレス選択とを行う。

【0050】これに合わせてX-Yテーブルを移動させレーザ・ビームを照射すれば、図3(c)に示す符号化されたチップの個別管理情報A00001-2-22に引き続き、チップのデータ領域13に、ダイソート・テストによるテスト情報を自動的に書き込むことができる。

【0051】このように、チップの個別管理情報に加えて、ダイソート・テストによるテスト情報を各チップに書き込むことにより、ウエハ・ダイシング後におけるチップ個別のトレーサビリティをさらに向上させることができる。

【0052】次に、図4を用いて、本発明の第4の実施の形態について説明する。第4の実施の形態では、データ領域13aはチップ2の裏面に設けられ、シリコンウエハ1に形成された全てのチップについてダイソート・テストによるテストを終了した後、真空チャックで吸引されたウエハ1をX-Yテーブルから引き離し、ウエハ1を反転して再度真空チャックで固定し、各チップの裏面に設けたデータ領域13に当該チップの個別管理情報とテスト情報をレーザ・ビームで書き込む。

【0053】このようにすれば、データ領域13の面積は、チップの全面に亘って無制限に拡大することができるので、チップごとに極めて多くの個別管理情報と、テスト情報を書き込むことができる。

【0054】また、フリップ・チップ組み立て技術を用いる場合には、パッケージを開封しても容易にチップ表面を目視することができないので、第4の実施の形態は特にこの場合に有効であり、かつ、集積回路パターンが形成されたシリコン基板上面に与える損傷を回避することができる。

【0055】ここで、フリップ・チップ組み立て技術とは、パッド4に半田バンプを形成し、チップを反転して配線基板上の接続部分に直接チップを半田付けする技術であり、特に入出力端子数の多い大規模半導体集積回路に適したチップの実装技術である。

【0056】次に、本発明の第5の実施の形態について説明する。前記第1乃至第4の実施の形態では、チップの個別管理情報とテスト情報は、いずれもチップに直接書き込まれるため、故障発生後これを読み出す際、パッケージを開封しなければならない。

【0057】しかし、パッケージの開封は必ずしも容易でなく、特に樹脂モールド型のもものでは樹脂の除去に時間がかかり、故障解析を迅速・確実に行うことが困難であった。このため、第5の実施の形態では、半導体集積回路のパッケージの入力端子から、チップ上に形成され

たPROMに前記チップの個別管理情報やテスト情報を書き込み、故障発生後直ちに前記パッケージの出力端子から、これらの情報を読み出すことができるようにした。

【0058】例えば、マイクロプロセッサ等の大規模な半導体集積回路において、通常チップ上のマスクROM（マスクパターンで形成された読み出し専用メモリ）には、前記マイクロプロセッサの動作に必要な、固定的な動作プログラムが書き込まれる。

【0059】しかし、これらのマスクROMは、半導体集積回路の回路パターンと同時にパターン形成され、チップ上に作り込まれるため、品種ごとに同一なプログラム情報が全てのチップに書き込まれる。また、これらのプログラム情報は、通常作り込みにより形成されるため、パッケージの出力端子からこれを読み出すことができない。

【0060】このため、前記マスクROMとPROMとを混載し、前記マスクROMにプログラム情報を書き込み、パッケージの入力端子から前記PROMにチップの個別管理情報とテスト情報とを書き込むことが可能な構造とした。

【0061】このように、マスクROMとPROMとを混載すれば、組み立て工程後の製品の故障解析の際、パッケージを開封することなく、出力端子から即座に前記個別管理情報とテスト情報とを読み出すことができる。

【0062】なお本発明は上記の実施の形態に限定されることはない。例えば、第2の実施の形態において、チップの個別管理情報を回路の配線パターン形成用の金属膜に書き込む場合について説明したが、同様に、これらの情報をチップ上の絶縁膜に書き込むこともできる。

【0063】また、第2、第3の実施の形態において、データ領域13、及び13aに光記録用の記録媒体を形成し、光記録用のヘッドを用いて、この記録媒体にチップの個別管理情報とテスト情報を記録するようにすれば、光加工用のレーザを用いて前記情報をシリコン基板に直接刻む方法に比べて記録密度が向上し、シリコン基板に与える損傷を低減することができる。

【0064】また、第2、第3の実施の形態において、チップの個別管理情報とテスト情報を符号化してチップに記録することを説明したが、必ずしも符号化する必要はなく、第1の実施の形態で説明したように、文字及び数字パターンをそのまま記録してもよい。その他本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

【0065】

【発明の効果】上述したように本発明の半導体集積回路によれば、例えば組み立て工程後に生じた故障品の解析において、チップの表面又は裏面に付与された製造ロッ

ト番号、ウエハ番号、ウエハ内位置座標等のチップ個別の管理情報や、当該チップのテスト情報を読み出すことができるので、ウエハ工程にまで遡及して故障発生の原因を追及することが可能となり、故障原因のトレーサビリティを飛躍的に向上させることができる。

【0066】また、マイクロプロセッサ等の大規模半導体集積回路において、チップ上のマスクROMと混載されたPROMに、前記チップごとの個別管理情報やテスト情報を入力端子から書き込めば、故障解析の際パッケージを開封することなく、これらの情報をパッケージの出力端子から容易に読み出すことが可能になる。

【図面の簡単な説明】

【図1】第1の実施の形態の半導体集積回路を示す図であって、(a)はチップのシリコンウエハ内位置座標を示す図。(b)はチップの構成とデータ領域の配置を示す図。(c)はチップの個別管理情報の一例を示す図。

【図2】第2の実施の形態におけるチップの個別データの記入方法を示す図であって、(a)は露光装置とレチクルとウエハの配置を示す図。(b)はレチクルの構成を示す図。

【図3】第3の実施の形態における半導体集積回路を示す図であって、(a)はチップのシリコンウエハ内位置座標を示す図。(b)はマルチプロバとレーザ書き込み用データ領域の配置を示す図。(c)はレーザ書き込みデータの一例を示す図。

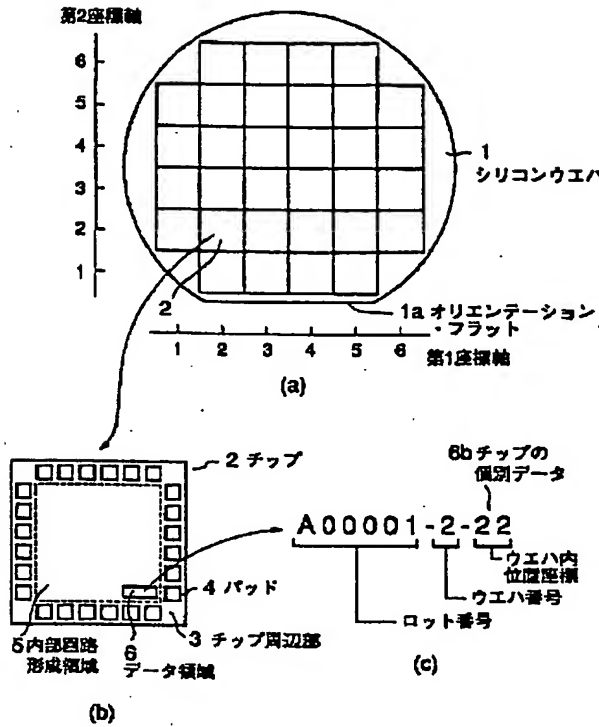
【図4】第4の実施の形態におけるチップ裏面のデータ領域の配置を示す図。

【図5】従来のチップ内部回路の空きスペースへの名称等の書き込み状況を示す図。

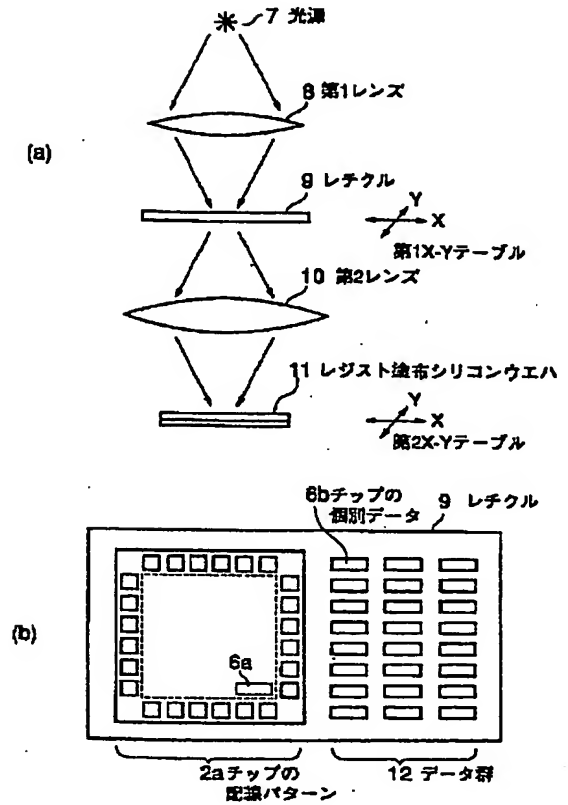
【符号の説明】

- 1…シリコンウエハ
- 1a…オリエンテーション・フラット
- 2…チップ
- 2a…チップパターン
- 3…チップ周辺部
- 4…パッド
- 5…内部回路形成領域
- 6…データ領域（光露光書き込み）
- 6a…データ領域の遮蔽パターン
- 6b…チップの個別データ
- 7…光源
- 8…第1レンズ
- 9…レチクル
- 10…第2レンズ
- 11…レジスト塗布シリコンウエハ
- 12…データ群
- 13…データ領域（レーザ書き込み）
- 13a…チップ裏面のデータ領域
- 14、1.5…内部回路の空きスペース

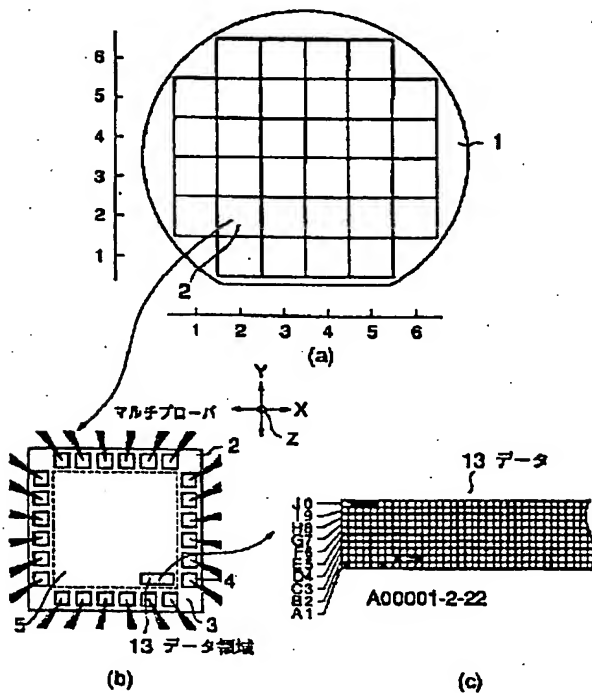
【図1】



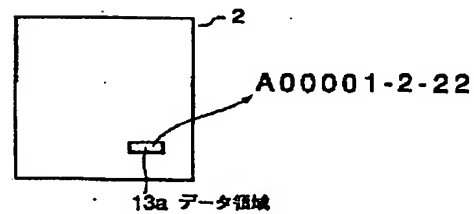
【図2】



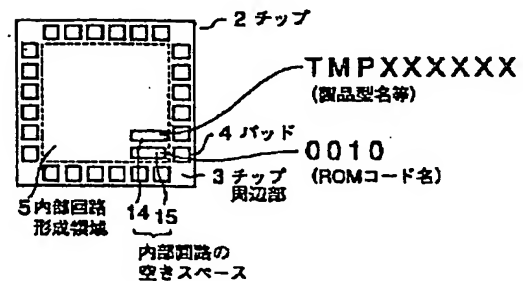
【図3】



【図4】



【図5】



フロントページの続き

Fターム(参考) 4M106 AA01 AA02 BA01 BA14 CA70
DA05 DJ38
5F038 DF04 DF05 DT12 DT15 DT19
EZ01 EZ20
5F046 AA16 BA03 DD03